

Docket No.: 8733.913.00-US  
(PATENT)

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re Patent Application of:  
Sang-Hyun Kim

Application No.: Not Yet Assigned

Confirmation No.: Not Yet Assigned

Filed: September 17, 2003

Art Unit: N/A

For: FABRICATION METHOD OF  
POLYCRYSTALLINE SILICON TFT

Examiner: Not Yet Assigned

**CLAIM FOR PRIORITY AND SUBMISSION OF DOCUMENTS**

MS Patent Application  
Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Dear Sir:

Applicant hereby claims priority under 35 U.S.C. 119 based on the following prior foreign application filed in the following foreign country on the date indicated:

<u>Country</u>	<u>Application No.</u>	<u>Date</u>
Korea, Republic of	10-2003-0035577	June 3, 2003

In support of this claim, a certified copy of the said original foreign application is filed herewith.

Dated: September 17, 2003

Respectfully submitted,

By   
Eric J. Nuss

Registration No.: 40,106  
MCKENNA LONG & ALDRIDGE LLP  
1900 K Street, N.W.  
Washington, DC 20006  
(202) 496-7500  
Attorney for Applicant



# 대한민국 특허청

## KOREAN INTELLECTUAL PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 10-2003-0035577  
Application Number

출원년월일 : 2003년 06월 03일  
Date of Application JUN 03, 2003

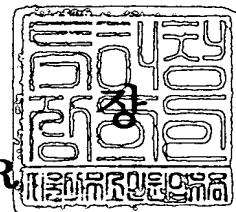
출원인 : 엘지.필립스 엘시디 주식회사  
Applicant(s) LG.PHILIPS LCD CO., LTD.



2003      년      07      월      04      일

특      허      청

COMMISSIONER





1020030035577

출력 일자: 2003/7/5

**【서지사항】**

<b>【서류명】</b>	특허출원서
<b>【권리구분】</b>	특허
<b>【수신처】</b>	특허청장
<b>【참조번호】</b>	0002
<b>【제출일자】</b>	2003.06.03
<b>【국제특허분류】</b>	G02F
<b>【발명의 명칭】</b>	폴리실리콘 박막트랜지스터의 제조방법
<b>【발명의 영문명칭】</b>	ABRICATION METHOD FOR POLY-SILICON TFT
<b>【출원인】</b>	
<b>【명칭】</b>	엘지 .필립스 엘시디 주식회사
<b>【출원인코드】</b>	1-1998-101865-5
<b>【대리인】</b>	
<b>【성명】</b>	허용록
<b>【대리인코드】</b>	9-1998-000616-9
<b>【포괄위임등록번호】</b>	2000-024823-8
<b>【발명자】</b>	
<b>【성명의 국문표기】</b>	김상현
<b>【성명의 영문표기】</b>	KIM,Sang Hyun
<b>【주민등록번호】</b>	680627-1691314
<b>【우편번호】</b>	430-040
<b>【주소】</b>	경기도 안양시 만안구 석수동 415-1 석수LG빌리지 401-503
<b>【국적】</b>	KR
<b>【취지】</b>	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인 허용록 (인)
<b>【수수료】</b>	
<b>【기본출원료】</b>	20 면 29,000 원
<b>【가산출원료】</b>	4 면 4,000 원
<b>【우선권주장료】</b>	0 건 0 원
<b>【심사청구료】</b>	0 항 0 원
<b>【합계】</b>	33,000 원
<b>【첨부서류】</b>	1. 요약서·명세서(도면)_1통

**【요약서】****【요약】**

본 발명은 폴리실리콘 박막트랜지스터의 제조방법에 대해 개시된다. 개시된 본 발명에 따른 폴리실리콘 박막트랜지스터의 제조방법은, 기판위에 버퍼층을 증착하는 단계와; 상기 버퍼층상에 비정질 실리콘을 소정의 두께로 증착하는 단계와; 상기 증착된 비정질 실리콘을 레이저를 이용하여 폴리실리콘으로 결정화하는 단계와; 상기 결정화된 폴리실리콘을 소정 두께로 식각하는 단계와; 상기 소정의 두께로 식각된 폴리실리콘을 어닐링하는 단계와; 상기 어닐링된 폴리실리콘을 패터닝하여 반도체층을 형성하는 단계를 포함한다.

본 발명에 따른 폴리실리콘 박막트랜지스터의 제조방법은, 비정질 실리콘층을 두껍게 증착한 후 결정화시켜 그레인 사이즈가 크게 형성된 폴리실리콘층의 두께를 CMP 또는 에치-백(ETCH-BACK) 공정으로 조절하여 소자의 전기적 특성을 향상시킬 수 있다.

**【대표도】**

도 4d

**【색인어】**

폴리실리콘층, 에치백, CMP

## 【명세서】

## 【발명의 명칭】

폴리실리콘 박막트랜지스터의 제조방법 {ABRICATION METHOD FOR POLY-SILICON TFT}

## 【도면의 간단한 설명】

도 1은 일반적인 결정화된 폴리실리콘의 두께에 따른 그레인 크기를 도시한 도면.

도 2a 내지 도 2f는 종래에 따른 폴리실리콘 박막트랜지스터의 제조방법을 도시한 도면.

도 3은 일반적인 폴리실리콘층의 두께에 따른 소자의 특성을 나타내는 도면.

도 4a 내지 도 4e는 본 발명에 따른 폴리실리콘 박막트랜지스터의 제조공정을 나타낸 도면.

도 5는 일반적인 CMP공정을 개략적으로 도시한 도면.

도 6은 일반적인 CMP장비를 개략적으로 도시한 도면.

## &lt;도면의 주요부분에 대한 부호의 설명&gt;

401 --- 기판

402 --- 버퍼층

403 --- 반도체층

404 --- 제 1 절연막

405 --- 게이트 전극

406 --- 제 2 절연막

407, 408 --- 소스/드레인 전극

409 --- 보호막

410 --- 화소전극

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <13>        본 발명은 폴리실리콘 박막트랜지스터의 제조방법에 관한 것으로서, 특히 비정질 실리콘층을 두껍게 증착한 후 결정화시켜 그레인 사이즈가 크게 형성된 폴리실리콘층의 두께를 CMP 또는 에치-백(ETCH-BACK) 공정으로 조절하여 소자특성이 우수한 폴리실리콘 박막트랜지스터의 제조방법에 관한 것이다.
- <14>        일반적으로, 박막트랜지스터(Thin Film Transistor ; 이하, TFT라고 칭함)를 구성하는 요소층 활성층(Active layer)인 반도체층은 그 결정상태에 따라 격자의 주기성이 없는 수소를 포함한 비정질 실리콘(amorphous silicon)을 사용하거나, 다결정 고체인 폴리실리콘(crystalline silicon)을 사용한다.
- <15>        상기 비정질 실리콘은 낮은 온도에서 증착하여 박막(thin film)을 형성하는 것이 가능하여, 주로 낮은 용융점을 가지는 유리를 기판으로 사용하는 액정패널(liquid crystal panel)의 스위칭 소자(switching device)에 많이 사용한다.
- <16>        이때, 상기 수소를 포함한 비정질 실리콘의 반도체층을 스위칭소자로 사용할 경우에 특히 빛에 노출된다면 광전변환에 의해 포토 커런트가 발생하여 스위칭소자의 동작에 치명적인 오프상태에서 누설전류로 작용을 하게 된다.
- <17>        또한, 반도체층이 빛에 노출되지 않도록 하여도 비정질 실리콘 특유의 비 주기적 격자특성인 땀글링 본드(Danglingbond)와 같은 디펙트(defect)가 많이 형성되고 전자의 흐름이 원활하지 못하여 소자의 동작특성이 좋지 않다.

- <18> 따라서, 상기 비정질 실리콘 박막은 상기 액정패널 구동소자의 전기적 특성과 신뢰성 저하 및 표시소자 대면적화에 어려움이 있다.
- <19> 일반적으로 대면적, 고정세 및 패널 영상구동회로, 일체형 랩탑컴퓨터(laptop computer), 벽걸이 TV용 액정표시소자의 상용화는 우수한 전기적 특성(예를 들면 높은 전계효과 이동도( $30\text{cm}^2/\text{VS}$ )와 고주파 동작특성 및 낮은 누설전류(leakage current)의 화소 구동소자가 요구된다.
- <20> 이에 반해, 상기 폴리실리콘을 반도체층으로 사용할 경우 표면에 디펙트가 적게 발생되며 박막트랜지스터의 동작속도는 상기 비정질 실리콘의 반도체층에 비해 약 100 ~ 200배 빠르다.
- <21> 이러한 폴리실리콘층을 반도체층으로 사용한 박막트랜지스터는 굉장히 빠른 동작특성을 보임으로 외부의 고속구동집적회로와 연동하여 충분히 동작할 수 있음으로 대면적의 액정표시소자와 같은 실시간의 화상정보를 표시하는 장치에 알맞은 스위칭 소자가 된다.
- <22> 도 1a 내지 도 1f는 종래에 따른 폴리실리콘 박막트랜지스터의 제조방법을 도시한 도면이다. 도 1a에 도시된 바와 같이, 기판(101)위에 실리콘산화막( $\text{SiO}_2$ ), 실리콘질화막( $\text{SiN}_x$ ), 알루미늄 산화막( $\text{Al}_2\text{O}_3$ )의 절연물질 중 선택된 하나가 얇은 버퍼층(102)을 형성한 후, 상기 버퍼층(102)상에 수소를 포함하는 비정질 실리콘을 증착한다.
- <23> 상기 버퍼층(102)은 기판과 추후 형성될 반도체층과의 완충역할을 하여 기판과 반도체층사이의 비균일성 접촉에 의해 발생할 수 있는 뒤틀림 등을 방지하는 기능을 한다.

- <24> 그리고, 상기 버퍼층(102)에 증착된 상기 비정질 실리콘의 결정화에 의해 폴리실리콘이 형성됨으로써 반도체층(103)이 만들어지게 된다.
- <25> 보다 상세히 설명하면, 상기 비정질 실리콘을 증착한 후, 비정질 실리콘을 폴리실리콘으로 결정화 하기 위해 소정의 단계와 방법을 거쳐 비정질실리콘이 폴리실리콘으로 결정화된다.
- <26> 일반적으로 상기 폴리실리콘층을 형성하기 위해서는 순수 비정질 실리콘(intrinsic amorphous silicon)을 기판에 약 500 Å 두께의 플라즈마 기상증착법(Plasma chemical vapor deposition)이나 LPCVD(Low pressure CVD)으로 비정질 실리콘막을 증착한 후, 이를 다시 결정화하는 방법을 사용한다.
- <27> 여기서, 상기 비정질 실리콘을 폴리실리콘층으로 결정화시키는 방법으로는 크게 세 가지로 분류될 수 있다.
- <28> 첫째, 고상 결정화(solid phase crystallization : 이하 SPC라 칭한다) 방법은 비정질 실리콘을 고온에서 장시간 열처리하여 폴리실리콘을 형성하는 방법이다.
- <29> 둘째, 금속유도 결정화(metal induced crystallization : MIC) 방법은 비정질 실리콘 상에 금속을 증착하여 폴리실리콘을 형성하는 방법으로, 대면적의 유리기판을 사용할 수 있다.
- <30> 셋째, 레이저 열처리(laser annealing) 방법은 비정질 실리콘 박막이 증착된 기판에 레이저를 가해서 폴리실리콘을 성장하는 방법이다.



- <31> 이 후, 도 1b에 도시된 바와 같이, 상기 결정화된 폴리실리콘층을 패터닝하여 반도체층(103)을 형성하고, 상기 반도체층(103)을 포함한 전면에 실리콘질화물( $\text{SiN}_x$ ) 또는 실리콘산화물( $\text{SiO}_x$ ) 등의 무기절연막을 증착하여 제 1 절연막(104)을 형성한다.
- <32> 다음, 도 1c에 도시된 바와 같이, 상기 제 1 절연막(104)을 포함한 전면에 알루미늄(Al) 또는 Al합금 등의 도전물질을 증착하고 사진식각(photolithography) 방법으로 패터닝하여 상기 반도체층(103) 상부의 소정 부위에 게이트전극(105)을 형성한다.
- <33> 그리고, 도 1d에 도시된 바와 같이, 상기 게이트 전극(105)을 마스크로 하여 상기 반도체층(103)에 불순물을 이온 주입함으로써 소스/드레인 영역을 형성한다. 이 때, 상기 게이트 전극(105)에 의해 마스크(masking)되어 이온이 주입되지 않은 반도체층은 채널영역이 된다.
- <34> 계속하여, 이온 주입공정 후, 상기 게이트 전극(105)을 포함한 전면에 무기절연막을 증착하여 제 2 절연막(106)을 형성하고, 상기 제 2 절연막(106)과 제 1 절연막(104)을 선택적으로 제거하여 상기 소스/드레인 영역의 소정부위가 노출되는 콘택홀을 형성한다.
- <35> 이어서, 도 1e에 도시된 바와 같이, 상기 콘택홀을 통하여 상기 제 2 절연막(106) 상에 Al 또는 Al합금 등의 도전물질을 증착하고 사진식각방법으로 패터닝하여 상기 콘택홀을 통하여 소스/드레인 영역과 연결되는 소스 전극(107) 및 드레인 전극(108)을 형성한다.

- <36>        마지막으로, 도 1f에 도시된 바와 같이, 상기 형성된 소스-드레인 전극(107, 108) 상에 보호막(109)을 증착한다. 그리고, 상기 보호막(109)상의 드레인 전극(108) 영역에 콘택홀을 형성한 후, 화소 전극(110)을 형성하여 연결되도록 한다.
- <37>        한편, 폴리실리콘 박막트랜지스터의 전기적 특성은 결정립(grain)의 크기에 큰 영향을 받는다. 즉, 결정립의 크기가 증가함에 따라 전계효과 이동도(mobility)도 따라 증가한다.
- <38>        도 2는 일반적인 결정화된 폴리실리콘의 두께에 따른 그레인 크기를 도시한 도면이다. 이에 도시된 바와 같이, 비정질 실리콘을 300 ~ 500Å의 두께로 얇게 형성한 후 결정화된 결정립(grain) 사이즈는 작고, 비정질 실리콘을 1000 ~ 2000Å의 두께로 두껍게 형성한 후 결정화된 결정립(grain) 사이즈는 크다.
- <39>        그런데, 상기 소자 특성을 좋게 하기 위해 비정질 실리콘을 1000 ~ 2000Å의 두께로 두껍게 형성한 후 결정화된 결정립(grain) 사이즈를 크게 하는 것은 또 다른 문제가 발생된다.
- <40>        도 3은 일반적인 폴리실리콘층의 두께에 따른 소자의 특성을 나타내는 도면이다. 이에 도시된 바와 같이, 폴리실리콘층의 두께가 증가함에 따라 이동도의 증가, S-Value의 감소,  $V_{th}$ 는 감소하는 특성을 보이고 있다.
- <41>        또한, 폴리실리콘의 두께가 두꺼울 경우에 G-R(Generation-Recombination) 영역이 증가하여 누설전류(Leakage current)의 증가와 반도체층의 높은 단차비(Aspects Ratio)로 게이트 메탈 라인의 단선 가능성을 증가시키는 문제점이 발생된다.

**【발명이 이루고자 하는 기술적 과제】**

- <42>        본 발명은, 비정질 실리콘층을 두껍게 증착하여 결정화된 폴리실리콘층의 그레인 사이즈가 크게 형성되면, 폴리실리콘층의 두께를 낮추어 형성함으로써 반도체층의 전기적 특성이 우수한 폴리실리콘 박막트랜지스터의 제조방법을 제공함에 그 목적이 있다.

**【발명의 구성 및 작용】**

- <43>        상기의 목적을 달성하기 위하여 본 발명에 따른 폴리실리콘 박막트랜지스터의 제조 방법은,
- <44>        기판위에 버퍼층을 증착하는 단계와;
- <45>        상기 버퍼층상에 비정질 실리콘을 소정의 두께로 증착하는 단계와;
- <46>        상기 증착된 비정질 실리콘을 레이저를 이용하여 폴리실리콘으로 결정화하는 단계와;
- <47>        상기 결정화된 폴리실리콘을 소정 두께로 식각하는 단계와;
- <48>        상기 소정의 두께로 식각된 폴리실리콘을 어닐링하는 단계와;
- <49>        상기 어닐링된 폴리실리콘을 패터닝하여 반도체층을 형성하는 단계를 포함하는 점에 그 특징이 있다.
- <50>        여기서, 특히 비정질 실리콘을 소정의 두께로 증착하는 단계에서 비정질 실리콘을 700 ~ 2000 Å의 두께로 증착하는 점에 그 특징이 있다.
- <51>        여기서, 특히 상기 증착된 비정질 실리콘을 레이저를 이용하여 폴리실리콘으로 결정화하는 단계에서 엑시머 레이저를 이용한 ELA(Excimer Laser Annealing) 또는 SLS(sequential lateral solidification)를 이용하는 점에 그 특징이 있다.

- <52> 여기서, 특히 상기 결정화된 폴리실리콘을 소정 두께로 식각하는 단계에서 상기 폴리실리콘은 300 ~ 500 Å의 두께로 식각하는 점에 그 특징이 있다.
- <53> 여기서, 특히 상기 결정화된 폴리실리콘을 소정 두께로 식각하는 단계에서 상기 결정화된 폴리실리콘을 CMP(Chemical Mechanical Polishing) 공정을 이용하여 소정의 두께로 식각하는 점에 그 특징이 있다.
- <54> 여기서, 특히 상기 결정화된 폴리실리콘을 소정 두께로 식각하는 단계에서 에치-백(ETCH-BACK) 공정을 이용하여 소정의 두께로 식각하는 점에 그 특징이 있다.
- <55> 여기서, 특히 상기 폴리실리콘을 어닐링하는 단계에서 400 ~ 500℃ 온도로 어닐링하는 점에 그 특징이 있다.
- <56> 여기서, 특히 상기 어닐링된 폴리실리콘을 패터닝하여 반도체층을 형성하는 단계이 후,
- <57> 상기 형성된 결과물상에 제 1 절연막을 형성하는 단계와;
- <58> 상기 제 1 절연막상에 금속막을 도포하여 소정패턴으로 게이트 전극을 형성하는 단계와;
- <59> 상기 게이트 전극이 형성된 결과물상에 제 2 절연막을 형성하는 단계와;
- <60> 상기 반도체층이 노출되도록 상기 제 1 절연막 및 상기 제 2 절연막을 식각하여 콘택홀을 형성하는 단계와;
- <61> 상기 콘택홀이 형성된 영역에 소스/드레인 전극을 형성하는 단계와;
- <62> 상기 형성된 소스/드레인 전극상에 보호막을 형성하는 단계와;

- <63>       상기 결과물상에 소정패턴으로 화소 전극을 형성하는 단계를 더 포함하는 점에 그 특징이 있다.
- <64>       이와 같은 본 발명에 의하면, 비정질 실리콘층을 두껍게 증착한 후 결정화시켜 그 라인 사이즈가 크게 형성된 폴리실리콘층의 두께를 CMP 또는 에치-백(ETCH-BACK) 공정으로 조절하여 소자의 전기적 특성을 향상시킬 수 있다.
- <65>       이하 첨부된 도면을 참조하면서 본 발명의 실시 예를 상세히 설명한다.
- <66>       도 4a 내지 도 4e는 본 발명에 따른 폴리실리콘 박막트랜지스터의 제조공정을 나타낸 도면이다. 도 4a에 도시된 바와 같이, 기판(401)위에 실리콘산화막( $\text{SiO}_2$ ), 실리콘질화막( $\text{SiN}_x$ ), 알루미늄 산화막( $\text{Al}_2\text{O}_3$ )의 절연물질 중 하나를 선택하여 버퍼층(402)을 형성한다.
- <67>       상기 버퍼층(402)은 기판과 추후 형성될 반도체층과의 완충역할을 하여 기판과 반도체층사이의 비균일성 접촉에 의해 발생할 수 있는 뒤틀림 등을 방지하는 기능을 한다.
- <68>       그리고, 도 4b에 도시된 바와 같이, 상기 형성된 버퍼층(402)상에 순수 비정질 실리콘(intrinsic amorphous silicon)을 기판에 약 700 ~ 2000Å 두께의 플라즈마 기상증착법(Plasma chemical vapor deposition)이나 LPCVD(Low pressure CVD)으로 비정질 실리콘막을 증착한다.
- <69>       상기 화학 기상증착법(CVD) 등을 사용하여 비정질 실리콘을 기판에 증착하게 되며, 이는 수소를 많이 함유하고 있다.
- <70>       상기 수소는 열에 의해 박막을 이탈하는 특징이 있기 때문에, 상기 비정질 실리콘을 1차로 열처리하여 탈수소화 과정을 거치는 것이 필요하다.

- <71> 왜냐하면, 수소를 미리 제거하지 않은 경우에는 결정박막의 표면이 매우 거칠어져 전기적으로 특성이 좋지 않기 때문이다.
- <72> 이어서, 도 4c에 도시된 바와 같이, 상기 증착된 비정질 실리콘을 레이저를 이용하여 폴리실리콘으로 결정화하게 된다.
- <73> 보다 상세히 설명하며, 상기 레이저를 이용하는 결정화 방법으로는 일반적으로 고출력 펄스 레이저인 엑시머 레이저를 이용한 ELA(Excimer Laser Annealing) 또는 SLS(sequential lateral solidification) 방법이 이용된다.
- <74> 상기 ELA(Excimer Laser Annealing)법은 두꺼운 두께의 실리콘층을 용융시키기 위해 단파장( $\lambda = 0.3 \mu\text{m}$ )의 강한 에너지를 펄스 형태로 투여시키기 때문에 빠른 속도의 결정화가 가능하고, 결정성이 뛰어나 소자의 이동도가 향상된다.
- <75> 특히, 엑시머 레이저의 단파장은 레이저광이 가지는 에너지 집중성을 이용하므로 단시간에 그리고 국소적으로 정밀한 열처리를 할 수 있으며, 하부 실리콘층에 열적인 손상을 주지 않는다는 장점이 있다.
- <76> 또한, 엑시머 레이저 결정화에 의해 제조된 폴리실리콘층의 결정립 크기는 비정질 실리콘 막의 두께와, 레이저에 의해 생성되는 자외선 방사의 밀도와, 하부 기판의 온도를 가변시킴으로써 정밀하게 제어할 수 있다.
- <77> 상기 SLS(sequential lateral solidification)(연속적인 측면 고상화라함.)법은 실리콘 그래인이 액상 실리콘과 고상 실리콘의 경계면에서 그 경계면에 대하여 수직 방향으로 성장한다는 사실을 이용한 것으로, 레이저 에너지의 크기와 레이저빔(laser beam)

의 조사범위의 이동을 적절하게 조절하여 실리콘그레인을 소정의 길이만큼 측면성장 시킴으로서 비정질 실리콘 박막을 결정화하는 것이다.

<78> 이어서, 도 4d에 도시된 바와 같이, 상기 결정화된 700 ~ 2000Å의 두께의 폴리실리콘층을 300 ~ 500Å의 두께로 식각하게 된다.

<79> 보다 자세히 설명하면, 상기 결정화된 폴리실리콘의 두께를 식각하는 방법으로는 CMP(Chemical Mechanical Polishing) 또는 에치-백(ETCH-BACK) 공정을 이용하여 소정의 두께로 식각하게 된다.

<80> 상기 CMP(Chemical Mechanical Polishing)공정이란, 기계적 제거가공과 화학적인 제거가공을 하나의 가공 방법으로 혼합한 연마 공정을 말한다. 이러한 CMP의 연마공정은 기계적인 작용과 화학적인 작용이 동시에 작용되어 서로 상호작용을 일으키게 된다.

<81> 도 5는 일반적인 CMP공정을 개략적으로 도시한 도면이고, 도 6은 일반적인 CMP장비를 개략적으로 도시한 도면이다. 상기 도 5와 상기 도 6에 도시된 바와 같이, 웨이퍼는 패드와 슬러리에 의해서 연마되어지며, 패드가 부착되어진 연마 테이블은 단순한 회전운동을 하고 헤드부는 회전운동과 요동운동을 동시에 행하며 일정한 압력으로 가압을 하여 준다.

<82> 또한, 상기 웨이퍼는 표면장력 또는 진공에 의해서 헤드부에 장착되어지게 된다. 그리고, 상기 헤드부의 자체하중과 인가되는 가압력에 의해 웨이퍼 표면과 패드는 접촉하게 되고, 이 접촉면의 미세한 틈(패드의 기공부분)사이로 가공액인 슬러리가 유동하게 되어 슬러리 내부에 있는 연마입자와 패드의 표면 돌기들에 의해 기계적인 제거작용이 이루어지고, 슬러리내의 화학성분에 의해서는 화학적인 제거작용이 이루어진다.

- <83>       상기 CMP공정에서 상기 패드와 상기 웨이퍼간의 가압력에 의해 디바이스 돌출부의 상부에서부터 접촉이 이루어지고, 이 부분에 압력이 집중되어 상대적으로 높은 표면제거 속도를 가지게 되며, 가공이 진행되어 갈수록 이러한 요출부는 줄어들어 전면적에 걸쳐 균일하게 제거되어진다.
- <84>       상기와 같은 CMP공정을 이용하여 상기 결정화된 폴리실리콘층을 원하는 두께로 식각할 수 있다.
- <85>       또한, 에치 백(ETCH-BACK)이란 마스크 없이 에칭하는 방법으로 반도체 공정에서 사이드월(SIDEWALL)을 형성할 때 마스크 없이 에칭하게 되며, 평탄화를 위해서도 증착 후 마스크 없이 에칭을 실시하게 되는데 이를 통틀어 에치 백(ETCH-BACK) 공정이라고 한다.
- <86>       그 다음, 상기 소정의 두께로 식각된 폴리실리콘을 400 ~ 500℃에서 어닐링(Annealing)하게 된다.
- <87>       도 4e에 도시된 바와 같이, 상기 어닐링된 폴리실리콘을 패터닝하여 반도체층을 형성하게 된다.
- <88>       보다 자세히 설명하면, 상기 결정화된 폴리실리콘층을 패터닝하여 반도체층(403)을 형성하고, 상기 반도체층(403)을 포함한 전면에 실리콘질화물(SiNx) 또는 실리콘산화물(SiOx) 등의 무기절연막을 증착하여 제 1 절연막(404)을 형성한다.
- <89>       다음, 상기 제 1 절연막(404)을 포함한 전면에 알루미늄(Al) 또는 Al합금 등의 도전물질층을 증착하고 사진식각(photolithography) 방법으로 패터닝하여 상기 반도체층(403) 상부의 소정 부위에 게이트전극(405)을 형성한다.



- <90> 그리고, 상기 게이트 전극(405)을 마스크로 하여 상기 반도체층(403)에 불순물을 이온 주입함으로써 소스/드레인 영역을 형성한다. 이 때, 상기 게이트 전극(405)에 의해 마스크(masking)되어 이온이 주입되지 않은 반도체층은 채널영역이 된다.
- <91> 계속하여, 이온 주입공정 후, 상기 게이트 전극(405)을 포함한 전면에 무기절연막을 증착하여 제 2 절연막(406)을 형성하고, 상기 제 2 절연막(406)과 제 1 절연막(404)을 선택적으로 제거하여 상기 소스/드레인 영역의 소정부위가 노출되는 콘택홀을 형성한다.
- <92> 이어서, 상기 콘택홀을 통하여 상기 제 2 절연막(406) 상에 Al 또는 Al합금 등의 도전물질을 증착하고 사진식각방법으로 패터닝하여 상기 콘택홀을 통하여 소스/드레인 영역과 연결되는 소스 전극(407) 및 드레인 전극(408)을 형성한다.
- <93> 마지막으로, 상기 형성된 소스-드레인 전극(407, 408)상에 보호막(409)을 증착한 후, 상기 보호막(409)상에 화소 전극(410)을 형성한다.
- <94> 따라서, 상기와 같은 방법에 의해 형성된 반도체층은 그레인 사이즈가 크고도, 낮은 폴리실리콘층의 두께를 갖게 되어 반도체층의 전기적 특성이 좋게 된다.
- <95> 본 발명은 도면에 도시된 실시 예를 참고로 설명되었으나, 이는 예시적인 것에 불과하며, 본 기술분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시 예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의해 정해져야 할 것이다.

**【발명의 효과】**

<96>        이상의 설명에서와 같이 본 발명에 따른 폴리실리콘 박막트랜지스터의 제조방법은, 비정질 실리콘층을 두껍게 증착하여 결정화된 폴리실리콘층의 그레인 사이즈가 크게 형성되면, 폴리실리콘층의 두께를 낮추어 형성함으로써 반도체층의 전기적 특성을 향상시킬 수 있다.

<97>        또한, 상기 레이저에 의해 발생하는 그레인 바운더리의 용기를 CMP 공정에 의해 제거할 수 있다.

**【특허청구범위】****【청구항 1】**

기판위에 버퍼층을 증착하는 단계와;

상기 버퍼층상에 비정질 실리콘을 소정의 두께로 증착하는 단계와;

상기 증착된 비정질 실리콘을 레이저를 이용하여 폴리실리콘으로 결정화하는 단계와;

상기 결정화된 폴리실리콘을 소정 두께로 식각하는 단계와;

상기 소정의 두께로 식각된 폴리실리콘을 어닐링하는 단계와;

상기 어닐링된 폴리실리콘을 패터닝하여 반도체층을 형성하는 단계를 포함하는 것을 특징으로 하는 폴리실리콘 박막트랜지스터의 제조방법.

**【청구항 2】**

제 1항에 있어서,

비정질 실리콘을 소정의 두께로 증착하는 단계에서 비정질 실리콘을 700 ~ 2000 Å의 두께로 증착하는 것을 특징으로 하는 폴리실리콘 박막트랜지스터의 제조방법.

**【청구항 3】**

제 1항에 있어서,

상기 증착된 비정질 실리콘을 레이저를 이용하여 폴리실리콘으로 결정화하는 단계에서 엑시머 레이저를 이용한 ELA(Excimer Laser Annealing) 또는 SLS(sequential lateral solidification)를 이용하는 것을 특징으로 하는 폴리실리콘 박막트랜지스터의 제조방법.

**【청구항 4】**

제 1항에 있어서,

상기 결정화된 폴리실리콘을 소정 두께로 식각하는 단계에서 상기 폴리실리콘은 300 ~ 500Å의 두께로 식각하는 것을 특징으로 하는 폴리실리콘 박막트랜지스터의 제조 방법.

**【청구항 5】**

제 1항에 있어서,

상기 결정화된 폴리실리콘을 소정 두께로 식각하는 단계에서 상기 결정화된 폴리실리콘을 CMP(Chemical Mechanical Polishing) 공정을 이용하여 소정의 두께로 식각하는 것을 특징으로 하는 폴리실리콘 박막트랜지스터의 제조방법.

**【청구항 6】**

제 1항에 있어서,

상기 결정화된 폴리실리콘을 소정 두께로 식각하는 단계에서 에치-백(ETCH-BACK) 공정을 이용하여 소정의 두께로 식각하는 것을 특징으로 하는 폴리실리콘 박막트랜지스터의 제조방법.

**【청구항 7】**

제 1항에 있어서,

상기 폴리실리콘을 어닐링하는 단계에서 400 ~ 500℃ 온도로 어닐링하는 것을 특징으로 하는 폴리실리콘 박막트랜지스터의 제조방법.



【청구항 8】

제 1항에 있어서,

상기 어닐링된 폴리실리콘을 패터닝하여 반도체층을 형성하는 단계이후, 상기 형성된 결과물상에 제 1 절연막을 형성하는 단계와;

상기 제 1 절연막상에 금속막을 도포하여 소정패턴으로 게이트 전극을 형성하는 단계와;

상기 게이트 전극이 형성된 결과물상에 제 2 절연막을 형성하는 단계와;

상기 반도체층이 노출되도록 상기 제 1 절연막 및 상기 제 2 절연막을 식각하여 콘택홀을 형성하는 단계와;

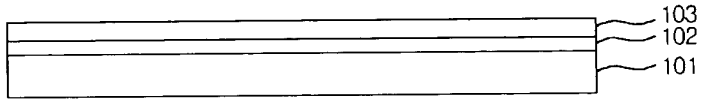
상기 콘택홀이 형성된 영역에 소스/드레인 전극을 형성하는 단계와;

상기 형성된 소스/드레인 전극상에 보호막을 형성하는 단계와;

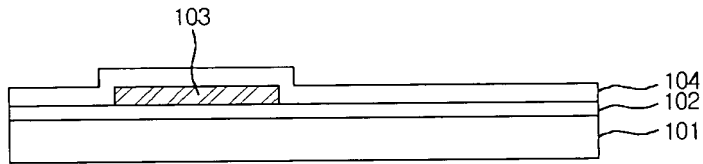
상기 결과물상에 소정패턴으로 화소 전극을 형성하는 단계를 더 포함하는 것을 특징으로 하는 폴리실리콘 박막트랜지스터의 제조방법.

【도면】

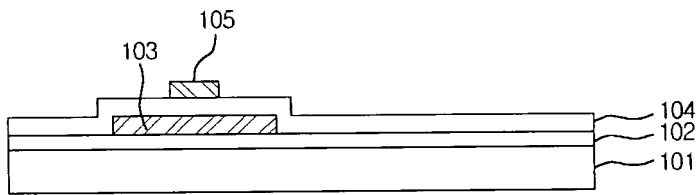
【도 1a】



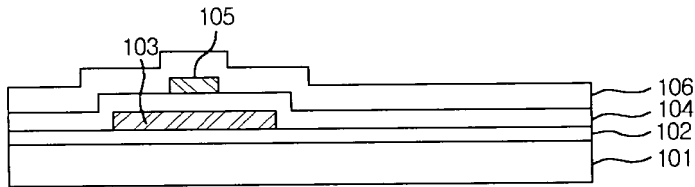
【도 1b】



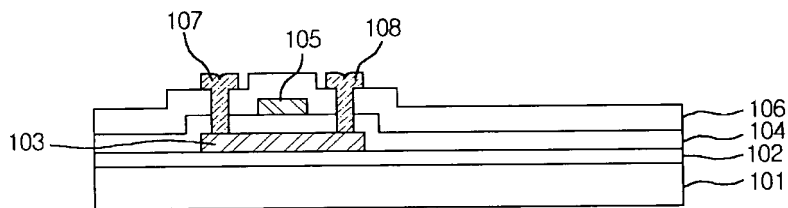
【도 1c】



【도 1d】

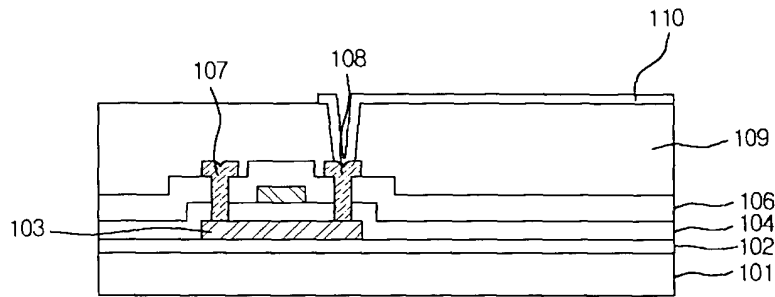


【도 1e】



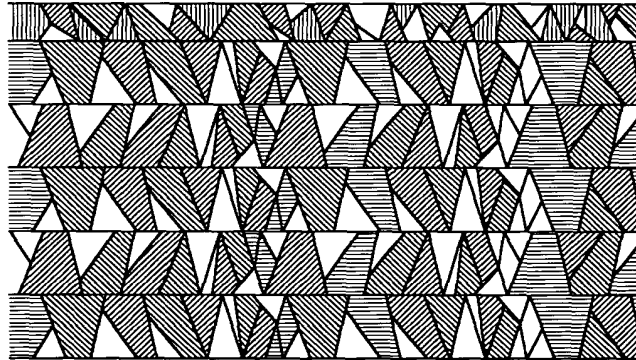


【도 1f】

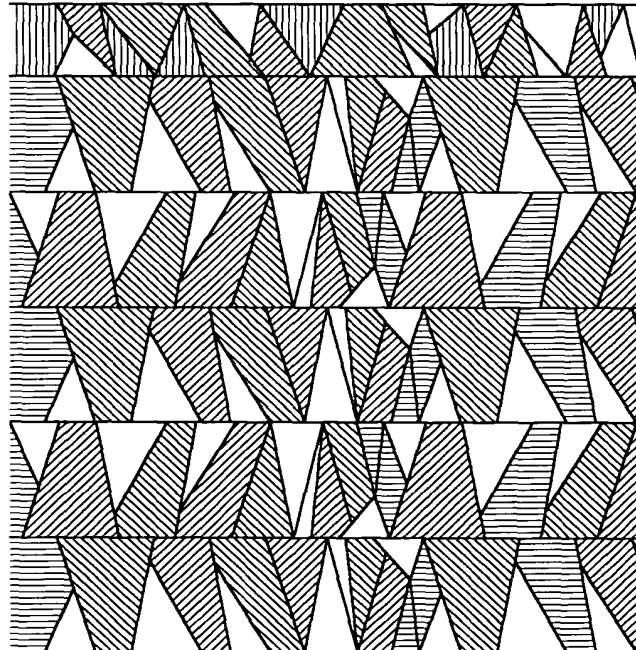


【도 2】

두께가 얇은 경우  
300~500 Å

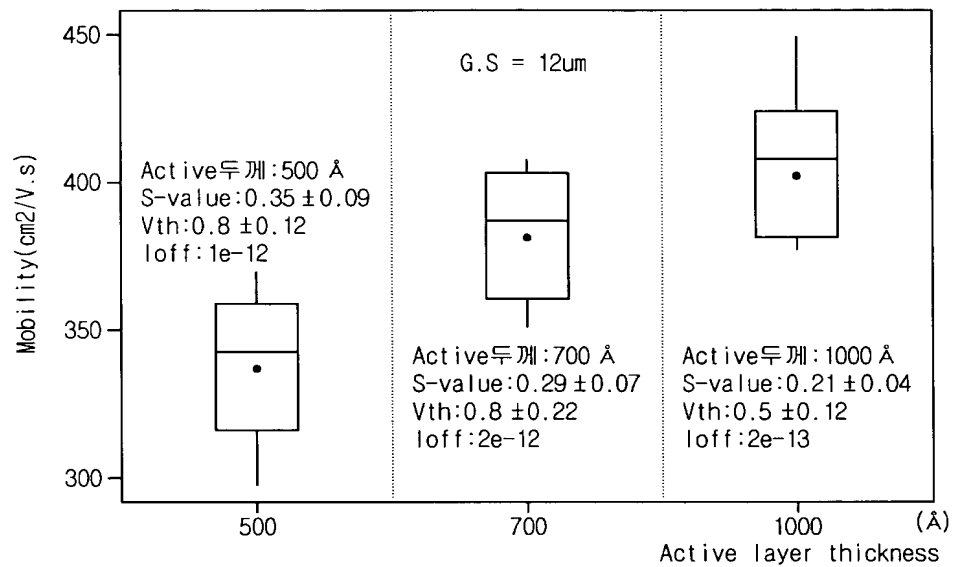


두께가 두꺼운 경우  
1000~2000 Å

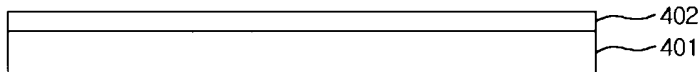




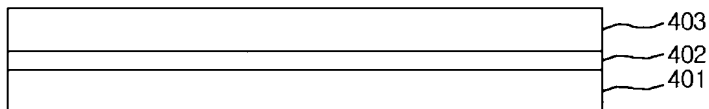
【도 3】



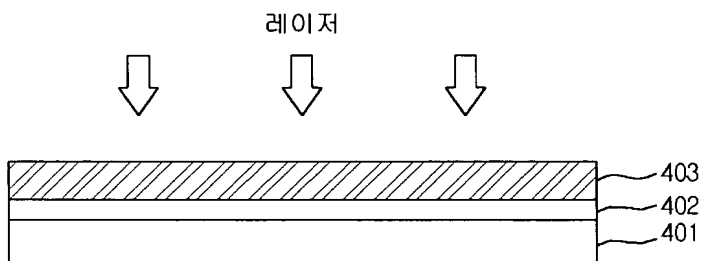
【도 4a】



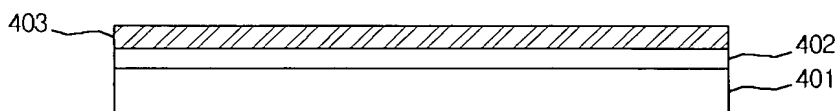
【도 4b】



【도 4c】

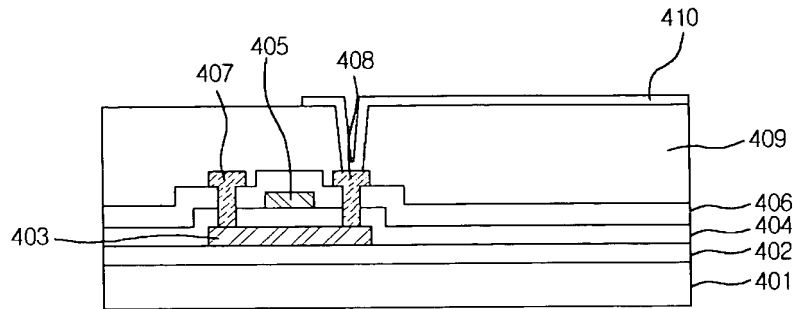


【도 4d】

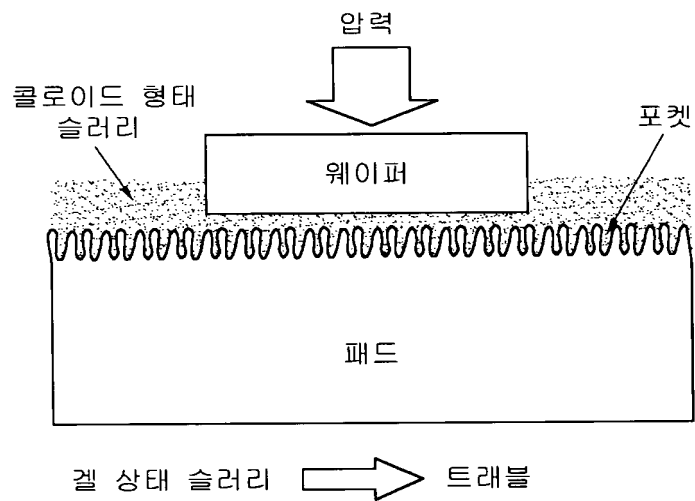




【도 4e】



【도 5】



【도 6】

